

European Patent Office

Publication n°: 0 155 371
A2

EUROPEAN PATENT APPLICATION

Application N°: 84114841.4

Int. Cl⁴: G 06 F 9/30

Date of application: 06.12.84

Priority: 19.03.84 DE 3410054

Date of publication of the application:
25.09.85 Patent Reports 85/39Named Contracting States:
AT CH DE FR GB IT LIInventor: Siemens Aktiengesellschaft
Berlin and München Wittelsbacherplatz 2
D-8000 München 2 (DE)Inventor: Moeller, Wolf-Dietrich, Dr.Ing.
Elise-Aulinger-Strasse 22
D-8000 München 84 (DE)Inventor: Sandweg, Gerd, Dr.Ing.
Adlerstrasse 49
D-8000 München 82 (DE)Inventor: Wallstab, Stefan, Dipl.-Ing.
Joerg-Strasse 23
D-8000 München 21 (DE)**Instruction decoder for a processor control unit**

The instruction decoder decodes the instructions to be executed by a processor and then generates control signals for individual units. In the aim of reducing the surface area required by the instruction decoder and the number of conductors between the instruction decoder and the unit being driven, and also of achieving low control signal transmission times, the instruction decoder (BD) comprises two decoding stages (DES₁, DES₂) in a uniform structure. Each contains an AND element and an OR element, with each OR element compressed down to a single line of logic elements. Instructions (BEF) are transmitted to the first decoding stage (DES₁). The first decoding stage (DES₁) takes the instructions and decodes them to obtain signals (AS) which will be used during an instruction cycle in the second decoding stage (DES₂) in combination with the appropriate timing signals to generate at the required moment the control signals (S) needed to drive the units of the processor.

Patent Claims

1. Instruction decoder for the control unit of a processor which decodes the instructions executed by the processor and uses them to generate control signals for other units of the processor, comprising
 - an initial decoding stage in which the first conductors intersect the second conductors with switching AND elements at the points of intersection, where the instructions are transmitted on the first conductors and switching from the first to the second conductors depends on the instruction, with an OR element used to switch the second conductors through logic elements in order to generate output signals on outlet conductors,
 - and a second decoding stage to which the output signals from the initial decoding stage and timing signals are transmitted and which uses the output signals and the timing signals to generate timed control signals for the other units of the processor, characterised by the following features:
 - a) The OR element (OR_1) in the first decoding stage (DES_1) comprises a line of logic elements (VG).
 - b) Every second conductor (L_2) of the AND element (AND_1) in the first decoding stage (DES_1) is only switched to its assigned logic element (VG) of the OR element (OR_1).
 - c) It is possible to use the OR element (OR_1) to link several second conductors (L_2) of the AND element (AND_1) to an outlet conductor (AGL).
 - d) The second decoding stage (DES_2) comprises an AND element (AND_2) comprising intersecting third and fourth conductors (L_3, L_4) which can be switched at their points of intersection, and an OR element (OR_2) comprising a line of logic elements (VG).

- 11 -

- e) The third conductors (L_3) of the AND element (AND_2) are switched to outlet conductors (AGL) of the first decoding stage (DES_1).
 - f) Shifted timing signals (TS) are present on the fourth conductors (L_4).
 - g) The timing of any output signal (AS) is defined by switching the fourth conductor (L_4) on which the timing signal (TS) occurs at the desired moment to the third conductor assigned to the output signal in question.
 - h) Every third conductor (L_3) is only linked to a logic element of the OR element (OR_2) assigned to it.
 - i) Several third conductors (L_3) can be linked through the OR element (OR_2) to a control signal conductor (SL).
2. Instruction decoder conforming to Claim 1, characterised in that the logic elements (VG) of the OR element (OR_2) in the second decoding stage (DES_2) incorporate several third conductors (L_3) which are linked to various fourth conductors (L_4), each through a logic element (VG).
3. Instruction decoder conforming to Claim 1, characterised by the fact that a third conductor (L_3) is linked to several fourth conductors (L_4) each through a logic element (VG).
4. Instruction decoder conforming to one of the above Claims, characterised by the fact that decoding stages (DES_1 , DES_2) are located at a position adjacent to those units of the processor to which most of the control signals (S) are transmitted, that both the first and the second decoding stages are divided into plates (SCB_1 , SCB_2), so that one or more plates of

- 12 -

the first decoding stage (DES_1) and of the second decoding stage (DES_2) is/are assigned to each unit or subunit of any unit being driven, and that the plates in both the first and second decoding stages operate independently of other plates in the first and second decoding stages.

5. Instruction decoder conforming to Claim 4, characterised by the fact that in order to ensure direct transmission of the control signals (S) between the second decoding stage (DES_2) and the unit being driven, blank plates are inserted where necessary between individual plates of the first and second decoding stages (DES_1 , DES_2).

(12) **EUROPÄISCHE PATENTANMELDUNG**

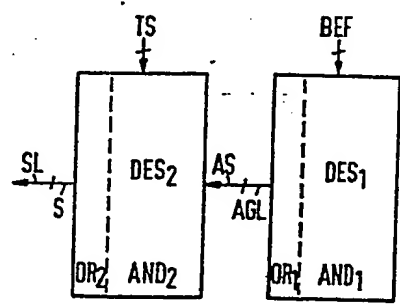
(21) Anmeldenummer: 84114841.4
 (51) Int. Cl.⁴: G 06 F 9/30
 (22) Anmeldetag: 06.12.84

<p> (30) Priorität: 19.03.84 DE 3410054 (43) Veröffentlichungstag der Anmeldung: 25.09.85 Patentblatt 85/39 (84) Benannte Vertragsstaaten: AT CH DE FR GB IT LI </p>	<p> (71) Anmelder: Siemens Aktiengesellschaft Berlin und München Wittelsbacherplatz 2 D-8000 München 2(DE) (72) Erfinder: Moeller, Wolf-Dietrich, Dr. Ing. Elise-Aulinger-Strasse 22 D-8000 München 83(DE) (72) Erfinder: Sandweg, Gerd, Dr. Ing. Adlerstrasse 49 D-8000 München 82(DE) (72) Erfinder: Wallstab, Stefan, Dipl.-Ing. Joerg-Strasse 23 D-8000 München 21(DE) </p>
--	---

Abstract / please translate and claims on pp 3-12

(54) **Befehlsdecoder für ein Steuerwerk eines Prozessors.**
 (57) Durch den Befehlsdecoder des Steuerwerks werden die auszuführenden Befehle eines Prozessors decodiert und daraus Steuersignale für einzelne Einheiten erzeugt. Um einen geringen Flächenbedarf für den Befehlsdecoder und einen geringen Verdrahtungsaufwand zwischen Befehlsdecoder und den zu steuernden Einheiten und ebenfalls eine geringe Laufzeit für die Steuersignale zu erreichen, besteht der Befehlsdecoder (BD) aus zwei Decodierungsstufen (DES₁, DES₂), die eine regelmäßige Struktur aufweisen. Beide enthalten eine UND-Ebene und eine ODER-Ebene. Dabei ist die ODER-Ebene jeweils auf eine Linie von Verknüpfungsgliedern komprimiert. Der ersten Decodierungsstufe (DES₁) werden die Befehle (BEF) zugeführt. Aus den Befehlen werden in der ersten Decodierungsstufe (DES₁) Signale (AS) decodiert, aus denen während eines Befehlszyklusses in der zweiten Decodierungsstufe (DES₂) durch Verknüpfungen mit entsprechenden Taktsignalen (TS) die für die Steuerung der Einheiten des Prozessors erforderlichen Steuersignale (S) zeitrichtig gebildet werden.

FIG 2



Befehlsdecoder für ein Steuerwerk eines Prozessors

5

Die Erfindung bezieht sich auf einen Befehlsdecoder für ein Steuerwerk eines Prozessors, der die vom Prozessor auszuführenden Befehle decodiert und daraus Steuersignale für andere Einheiten des Prozessors erzeugt, bestehend aus

10

einer ersten Decodierungsstufe mit einer aus sich kreuzenden ersten Leitungen und zweiten Leitungen aufgebauten und an den Kreuzungspunkten verknüpfbaren UND-Ebene, deren ersten Leitungen die Befehle zugeführt werden und bei der entsprechend den Befehlen eine Verknüpfung von den ersten Leitungen zu den zweiten Leitungen vorliegt, und mit einer ODER-Ebene, durch die die zweiten Leitungen über Verknüpfungsglieder zur Erzeugung von Ausgangssignalen mit Ausgangsleitungen verknüpfbar sind, und einer

15

20

zweiten Decodierungsstufe, der die Ausgangssignale der ersten Decodierungsstufe und Taktsignale zugeführt werden und die aus den Ausgangssignalen und den Taktsignalen die taktrichtigen Steuersignale für die anderen Einheiten des Prozessors erzeugt.

25

Beim Entwurf hochintegrierter Bausteine mit Prozessorstrukturen ist im Steuerwerk der Befehlsdecoder meist eine kritische Einheit, bei deren Entwurf ein großer Teil des Zeitaufwandes auftritt. Durch eine Realisierung des Befehlsdecoders mit regelmäßigen Strukturen kann dieser Entwurfsaufwand reduziert werden und der Entwurf selber übersichtlicher und sicherer werden. Aus diesem Grunde werden bei derartigen Mikroprozessorstrukturen die Befehlsdecoder mit Hilfe von ROMs oder programmierbaren Schaltungen (PLA) realisiert. Nachteilig bei diesen Lösungen ist der relativ hohe Flächenbedarf, wenn ein herkömmliches ROM oder eine herkömmliche programmierbare Schaltung verwendet wird. Der

30

35

- Flächenbedarf steigt stark mit der Zahl der Eingänge, die entsprechend der Breite des Befehlswortes z.B. zwischen 16 und 48 liegen kann, und der Zahl der Ausgänge, für die typische Werte 100 bis 300 sind. Ein Ausweg aus diesem Problem kann die Teilung des Befehlsdecoders in mehrere kleine programmierbare Schaltungen oder ROMs sein. Dann aber kann die Anordnung und die Verdrahtung der einzelnen ROMs oder programmierbaren Schaltungen zu einem Problem werden.
- 5
- 10 Ein Steuerwerk bei einem Prozessor mit einem Befehlsdecoder der eingangs angegebenen Art kann z.B. aus H.G.Schwärtzel, CAD für VLSI, Springer-Verlag 1982, S. 50 bis 62 entnommen werden.
- 15 Die der Erfindung zugrundeliegende Aufgabe besteht darin, einen Befehlsdecoder für ein Steuerwerk eines Prozessors derart aufzubauen, daß regelmäßige Strukturen verwendbar sind, aber der Aufwand für die verwendeten Schaltungen und für die Verdrahtung dieser Schaltungen nicht groß ist.
- 20 Diese Aufgabe wird bei einem Steuerwerk der eingangs angegebenen Art durch folgende Merkmale gelöst:
- a) die ODER-Ebene der ersten Decodierungsstufe besteht aus einer Linie von Verknüpfungsgliedern,
- 25 b) jede zweite Leitung der UND-Ebene der ersten Decodierungsstufe ist jeweils nur mit einem ihr zugeordneten Verknüpfungsglied der ODER-Ebene verbunden,
- c) durch die ODER-Ebene sind mehrere zweite Leitungen der UND-Ebene zu einer Ausgangsleitung verbindbar,
- 30 d) die zweite Decodierungsstufe besteht aus einer aus sich kreuzenden dritten und vierten Leitungen aufgebauten und an den Kreuzungspunkten zwischen den dritten und vierten Leitungen verknüpfbaren UND-Ebene und aus einer ODER-Ebene aus in einer Linie angeordneten Verknüpfungsgliedern,

- e) die dritten Leitungen der UND-Ebene der zweiten Decodierungsstufe sind jeweils mit Ausgangsleitungen der ersten Decodierungsstufe verknüpft,
- f) an den vierten Leitungen liegen zeitlich versetzte Taktsignale an,
- 5 g) zur zeitlichen Festlegung eines jeden Ausgangssignals von der ersten Decodierungsstufe ist die vierte Leitung, auf der das Taktsignal zum gewünschten Zeitpunkt auftritt, mit der diesem Ausgangssignal zugeordneten dritten Leitung
- 10 verknüpft,
- h) jede dritte Leitung der zweiten Decodierungsstufe ist jeweils nur mit einem ihr zugeordneten Verknüpfungsglied der ODER-Ebene verbunden,
- i) durch die ODER-Ebene sind mehrere dritte Leitungen mit
- 15 einer Leitung für ein Steuersignal verbindbar.

Zur Realisierung des Befehlsdecoders werden somit zwei Decodierungsstufen verwendet, die gleiche Struktur aufweisen, nämlich eine UND-Ebene und eine auf eine Linie reduzierte ODER-Ebene. Die Auswahl bestimmter Gruppen von Bit-

20 mustern in den Befehlsworten erfolgt in der UND-Ebene durch sog. Produktterme. Diese Produktterme werden nicht wie üblich mehrfach ausgenutzt. Sie werden ggf. sogar mehrfach gebildet, um die Decodierung einzelner Befehle voneinander

25 zu entkoppeln. Die Folge ist, daß die ODER-Ebene auf eine Linie von Verknüpfungsgliedern reduziert werden kann, die zudem gegenüber einer programmierbaren Schaltung (PLA) gedreht werden kann und neben die UND-Ebene angeordnet werden kann. Die Folge ist ein geringerer Flächenbedarf für die

30 erste und entsprechend auch für die zweite Decodierungsstufe.

Zur Erzeugung von Steuersignalen beliebigen zeitlichen Verlaufs können die Verknüpfungsglieder der ODER-Ebene der zweiten Decodierungsstufe mehrere dritte Leitungen, die

35 über Verknüpfungsglieder mit verschiedenen vierten Lei-

tungen verknüpft sind, zusammenfassen.

Der Verdrahtungsaufwand innerhalb des Prozessorbausteins kann dadurch reduziert werden, daß die Decodierungsstufen
5 räumlich benachbart neben den Einheiten des Prozessors angeordnet sind, denen die meisten Steuersignale zugeführt werden, daß sowohl die erste als auch die zweite Decodierungsstufe in Scheiben eingeteilt ist, wobei jeder Unter-
10 einheit der anzusteuern den Einheiten jeweils eine oder mehrere Scheiben der ersten und zweiten Decodierungsstufe zugeordnet sind, und daß die Scheiben sowohl der ersten Decodierungsstufe als auch der zweiten Decodierungsstufe unabhängig von anderen Scheiben der ersten und zweiten Decodierungsstufe arbeiten.

15 Um einen geraden Leitungsverlauf für die Steuersignale zwischen den Decodierungsstufen und den zu steuernden Einheiten zu erreichen, ist es ggf. zweckmäßig, zwischen einzelnen Scheiben der ersten und zweiten Decodierungsstufe
20 Leerscheiben einzufügen.

Eine einfache Struktur der beiden Decodierungsstufen wird insbesondere auch dadurch erreicht, daß den zu steuernden Einheiten möglichst scharf abgegrenzte Bitgruppen im Befehlswort zugeordnet werden und die einzelnen Bits der Befehlsworte möglichst nicht mehrfach belegt werden.
25

Die Erfindung hat somit folgende Vorteile:

Die einzelnen Scheiben der ersten bzw. zweiten Decodie-

rungsstufe sind voneinander entkoppelt. Dies hat zur Folge, daß die Decodierungsstufen leicht geändert werden können und an neue zu steuernde Einheiten einfach angepaßt werden können.

5

Durch das Einfügen von leeren Scheiben innerhalb der beiden Decodierungsstufen wird eine schräge Verdrahtung zwischen den Decodierungsstufen und den zu steuernden Einheiten vermieden und damit der Flächenbedarf für die Verdrahtung verringert.

10

Damit erreicht man kurze Verbindungsleitungen zwischen den Decodierungsstufen und den zu steuernden Einheiten und geringe Laufzeiten für die Steuersignale.

15

Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels weiter erläutert. Es zeigen

Fig. 1 ein Blockschaltbild eines Prozessors, aus dem sich ergibt, wie das Steuerwerk zu den anderen Einheiten des Prozessors angeordnet ist,

20

Fig. 2 ein Blockschaltbild des Befehlsdecoders bestehend aus der ersten Decodierungsstufe und der zweiten Decodierungsstufe,

Fig. 3 eine Realisierung der ersten Decodierungsstufe,

25 Fig. 4 eine Realisierung der zweiten Decodierungsstufe.

Fig. 1 zeigt ein Blockschaltbild eines Prozessors und insbesondere die Anordnung des Steuerwerks CU innerhalb des Prozessors. Neben dem Steuerwerk CU ist eine Dateneinheit DU angeordnet, in dem die Einheiten zusammengefaßt sind, die zur Bearbeitung von Daten im Prozessor erforderlich sind. Auf der anderen Seite des Steuerwerks CU liegt die Speichereinheit MU. Diese besteht im Ausführungsbeispiel aus einem RAM, einem ROM und einem Adressenregister AR.

30

35 Die Dateneinheit DU enthält im Ausführungsbeispiel ein

Rechenwerk RALU, einen Zeitzähler TC und einen Sequencer SE.

- Mit Hilfe des Steuerwerks CU werden Befehle decodiert und entsprechend den decodierten Befehlen Steuersignale S_1 , S_2 , S_3 z.B. für die Einheiten der Dateneinheit DU erzeugt.
- 5 Das Steuerwerk CU enthält zu diesem Zwecke einen Befehlsdecoder BD. Dieser erhält von einem Befehlsregister BR die zu decodierenden Befehle. Die Befehle werden entweder vom ROM oder von RAM in das Befehlsregister BR geladen.
- 10 Um die taktrichtigen Steuersignale S bilden zu können, ist ein Taktgenerator SG vorgesehen, der zeitlich versetzte Taktsignale dem Befehlsdecoder BD zuführt.

- Die Verbindung innerhalb der einzelnen Einheiten des Prozessors und die Verbindung mit anderen Einheiten außerhalb
- 15 des Prozessors erfolgen über Busse, z.B. Datenbusse DB und Adreßbusse AB.

- Im folgenden wird der Aufbau der Dateneinheit DU und der Speichereinheit MU als bekannt vorausgesetzt und nur auf
- 20 die Realisierung des Steuerwerks CU näher eingegangen und hier insbesondere auf die Realisierung des Befehlsdecoders BD.

- 25 Aus Fig. 2 ergibt sich, daß der Befehlsdecoder BD zweistufig aufgebaut ist. Er besteht aus einer ersten Decodierungsstufe DES_1 und einer zweiten Decodierungsstufe DES_2 . Der ersten Decodierungsstufe DES_1 werden die Befehle BEF zugeführt. Die Breite der Befehle BEF kann z.B. 32 bit sein.
- 30 Die erste Decodierungsstufe DES_1 decodiert die Befehle BEF und erzeugt auf Ausgangsleitungen AGL Ausgangssignale AS, die allerdings noch nicht taktrichtig auftreten. Die Anzahl der Ausgangsleitungen kann z.B. 300 sein.
- 35 In der zweiten Decodierungsstufe DES_2 werden die Ausgangs-

signale AS mit Taktsignalen TS so verknüpft, daß die Steuer-
signale S am Ausgang der zweiten Decodierungsstufe DES_2
zeitrichtig auftreten. Um dies zu erreichen, können z.B.
10 zeitlich versetzt auftretende Taktsignale TS der zweiten
5 Decodierungsstufe DES_2 zugeführt werden. Die Anzahl der am
Ausgang der zweiten Decodierungsstufe DES_2 auf Steuerlei-
tungen SL auftretenden Steuersignale S kann z.B. 230 be-
tragen.

10 Die Realisierung der ersten Decodierungsstufe DES_1 ergibt
sich aus Fig. 3. Diese besteht aus zwei Bestandteilen, einer
UND-Ebene AND_1 und einer ODER-Ebene OR_1 .

Die UND-Ebene ist wie bei einer programmierbaren Schaltung
15 aufgebaut und besteht aus sich kreuzenden ersten Leitungen
 L_1 und zweiten Leitungen L_2 . Entsprechend der gewünschten
Programmierung ist an den Kreuzungspunkten der UND-Ebene
 AND_1 jeweils ein Verknüpfungsglied VG angeordnet. Der Auf-
bau und die Funktion einer derartigen UND-Ebene ist bekannt
20 und braucht daher hier nicht weiter erläutert zu werden.

Die einzelnen Bits der Befehle BEF können entweder inver-
tiert oder nicht invertiert innerhalb der UND-Ebene AND_1
verwendet werden, um bei einem entsprechenden Bitmuster im
25 Befehlswort auf einer der zweiten Leitungen L_2 ein Signal
zu erzeugen. Dieses Signal liegt solange auf dieser Lei-
tung L_2 , solange das Befehlswort BEF anliegt.

Die ODER-Ebene OR_1 besteht nach Fig. 3 aus einer Linie von
30 Verknüpfungsgliedern VG. Jede zweite Leitung L_2 ist jeweils
nur mit einem Verknüpfungsglied VG der ODER-Ebene verbun-
den (keine Mehrfachausnutzung von Produkttermen). Mit Hilfe
der ODER-Ebene OR_1 können mehrere zweite Leitungen L_2 zu
einer Ausgangsleitung AS verknüpft werden.

Da einer zu steuernden Einheit ganz bestimmte Bits innerhalb des Befehls zugeordnet sind, ist es möglich, die erste Decodierungsschaltung DES_1 in Scheiben SCB_1 aufzuteilen. In Fig. 3 sind drei derartige Scheiben SCB_1 dargestellt. Eine solche Scheibe SCB_1 ist somit einer bestimmten zu steuernden Einheit oder zu steuernden Untereinheit zugeordnet und decodiert aus dem Befehl BEF die Untergruppe, durch die diese Einheit oder Untereinheit gesteuert wird. Durch diese Zuordnung von Bitgruppen des Befehls BEF zu zu steuernden Einheiten wird erreicht, daß die einzelnen Scheiben SCB_1 der Decodierungsschaltung DES_1 unabhängig voneinander sind, wodurch Änderungen wesentlich erleichtert werden.

15 Auf den Ausgangsleitungen AGL treten die Ausgangssignale AS auf, die in der zweiten Decodierungsstufe DES_2 weiter bearbeitet werden. Diese zweite Decodierungsstufe DES_2 , die in Fig. 4 gezeigt ist, besteht ebenfalls aus einer UND-Ebene AND_2 und einer ODER-Ebene OR_2 . Die UND-Ebene AND_2 ist aus sich kreuzenden dritten Leitungen L_3 und vierten Leitungen L_4 aufgebaut, an deren Kreuzungspunkte Verknüpfungsglieder VG angeordnet werden können. Den vierten Leitungen L_4 werden die Taktsignale TS zugeführt, die dritten Leitungen L_3 sind mit Ausgangsleitungen AGL von der ersten Decodierungsstufe DES_1 verknüpft. Je nachdem, an welchen Kreuzungspunkten der UND-Ebene AND_2 Verknüpfungsglieder VG angeordnet sind, werden die Ausgangsssignale AS der ersten Decodierungsstufe mit den entsprechenden Taktsignalen verknüpft.

30 Diese nunmehr taktrichtigen Signale werden mit Hilfe der Verknüpfungsglieder VG der ODER-Ebene OR_2 auf die Steuerleitungen SL als Steuersignale übertragen und den zu steuernden Einheiten zugeführt. Durch entsprechende Verknüpfung zwischen den Signalen TS und den Signalen auf den

35

Leitungen L_3 der UND-Ebene AND_2 sowie durch entsprechende Zusammenfassung dieser Signale durch die ODER-Ebene OR_2 können Steuersignale S auf den Steuerleitungen SL mit beliebiger Impulsform erzeugt werden. Zum Beispiel könnten
5 mehrere Leitungen L_3 mit verschiedenen Leitungen L_4 verknüpft werden und über die ODER-Ebene OR_2 zu einer Steuerleitung SL zusammengefaßt werden und dadurch ein Impulszug gewünschter Form erzeugt werden.

10 Aus Fig. 4 ergibt sich, daß auch die zweite Decodierungsstufe DES_2 in Scheiben aufgeteilt ist. Diese Scheiben sind mit SCB_2 bezeichnet. Auch bei der zweiten Decodierungsstufe DES_2 arbeiten die einzelnen Scheiben SCB_2 unabhängig voneinander, so daß es möglich ist, einzelne SCB_2 hinzu-
15 zufügen oder wegzunehmen, ohne daß die Funktion der übrigen Scheiben SCB_2 dadurch beeinflußt würde. Deshalb ist es auch möglich, Leerscheiben einzufügen, um eine gewünschte gerade Verdrahtung der Steuerleitungen SL zu den zu steuernden Einheiten zu erreichen.

20

Aus Fig. 3 und Fig. 4 ergibt sich, daß durch die zweite Decodierungsstufe DES_2 mehrere Scheiben SCB_1 der ersten Decodierungsstufe DES_1 verknüpft werden können. Die Gestaltung der ersten oder zweiten Decodierungsstufe DES_1 und DES_2
25 hängt davon ab, durch wieviele Bitkombinationen des Befehlswortes eine Einheit gesteuert wird und zu welchen Zeitpunkten die den Bitkombinationen zugeordneten Steuersignale auftreten sollen. Durch entsprechende Gestaltung der ersten Decodierungsschaltung und der zweiten Decodierungsschaltung
30 können die gewünschten Steuersignale auf einfache Weise erzeugt werden.

6 Patentansprüche

4 Figuren

Patentansprüche

1. Befehlsdecoder für ein Steuerwerk eines Prozessors, der die vom Prozessor auszuführenden Befehle decodiert und dar-
5 aus Steuersignale für andere Einheiten des Prozessors erzeugt bestehend
- aus einer ersten Decodierungsstufe mit einer aus sich kreuzenden ersten Leitungen und zweiten Leitungen aufgebauten und an den Kreuzungspunkten verknüpfbaren UND-Ebene, deren
10 ersten Leitungen die Befehle zugeführt werden und bei der entsprechend den Befehlen eine Verknüpfung von den ersten zu den zweiten Leitungen vorliegt, und mit einer ODER-Ebene, durch die die zweiten Leitungen über Verknüpfungsglieder zur Erzeugung von Ausgangssignalen mit Ausgangs-
15 leitungen verknüpfbar sind,
 - und aus einer zweiten Decodierungsstufe, der die Ausgangssignale der ersten Decodierungsstufe und Taktsignale zugeführt werden und die aus den Ausgangssignalen und den Taktsignalen die taktrichtigen Steuersignale für die anderen Einheiten des
20 Prozessors erzeugt, g e k e n n z e i c h n e t durch folgende Merkmale:
- a) die ODER-Ebene (OR_1) der ersten Decodierungsstufe (DES_1) besteht aus einer Linie von Verknüpfungsgliedern (VG),
 - b) jede zweite Leitung (L_2) der UND-Ebene (AND_1) der ersten
25 Decodierungsstufe (DES_1) ist jeweils nur mit einem ihr zugeordneten Verknüpfungsglied (VG) der ODER-Ebene (OR_1) verbunden,
 - c) durch die ODER-Ebene (OR_1) sind mehrere zweite Leitungen (L_2) der UND-Ebene (AND_1) mit einer Ausgangsleitung
30 (AGL) verknüpfbar,
 - d) die zweite Decodierungsstufe (DES_2) besteht aus einer aus sich kreuzenden dritten und vierten Leitungen (L_3 , L_4) aufgebauten und an den Kreuzungspunkten verknüpfbaren UND-Ebene (AND_2) und aus einer ODER-Ebene (OR_2) aus in einer
35 Linie angeordneten Verknüpfungsgliedern (VG),

- e) die dritten Leitungen (L_3) der UND-Ebene (AND_2) sind jeweils mit Ausgangsleitungen (AGL) der ersten Decodierungsstufe (DES_1) verknüpft,
- f) an den vierten Leitungen (L_4) liegen zeitlich versetzte Taktsignale (TS) an,
- g) zur zeitlichen Festlegung eines jeden Ausgangssignals (AS) ist die vierte Leitung (L_4), auf der das Taktsignal zum gewünschten Zeitpunkt auftritt, mit der diesem Ausgangssignal zugeordneten dritten Leitung verknüpft,
- h) jede dritte Leitung (L_3) ist jeweils nur mit einem ihr zugeordneten Verknüpfungsglied der ODER-Ebene (OR_2) verbunden,
- i) durch die ODER-Ebene (OR_2) sind mehrere dritte Leitungen (L_3) mit einer Leitung (SL) für ein Steuersignal verbunden.

2. Befehlsdecoder nach Anspruch 1, dadurch gekennzeichnet, daß die Verknüpfungsglieder (VG) der ODER-Ebene (OR_2) der zweiten Decodierungsstufe (DES_2) mehrere dritte Leitungen (L_3), die über Verknüpfungsglieder (VG) mit verschiedenen vierten Leitungen (L_4) verknüpft sind, zusammenfassen.

3. Befehlsdecoder nach Anspruch 1, dadurch gekennzeichnet, daß eine dritte Leitung (L_3) über jeweils ein Verknüpfungsglied (VG) mit mehreren vierten Leitungen (L_4) verbunden ist.

4. Befehlsdecoder nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Decodierungsstufen (DES_1 , DES_2) räumlich benachbart neben den Einheiten des Prozessors angeordnet sind, denen die meisten Steuersignale (S) zugeführt werden, daß sowohl die erste als auch die zweite Decodierungsstufe in Scheiben (SCB_1 , SCB_2) eingeteilt ist, wobei jeder Einheit oder Untereinheit

einer zu steuernden Einheit jeweils eine oder mehrere Scheiben der ersten Decodierungsstufe (DES_1) und der zweiten Decodierungsstufe (DES_2) zugeordnet sind, und daß die Scheiben sowohl der ersten als auch der zweiten Decodierungsstufe unabhängig von anderen Scheiben der ersten und zweiten Decodierungsstufe arbeiten.

5. Befehlsdecoder nach Anspruch 4, dadurch gekennzeichnet, daß zur Erlangung eines geraden Leitungsverlaufs für die Steuersignale (S) zwischen der zweiten Decodierungsstufe (DES_2) und der zu steuernden Einheit erforderlichenfalls zwischen einzelnen Scheiben der ersten und der zweiten Decodierungsstufe (DES_1 , DES_2) jeweils Leerscheiben eingefügt sind.

1/3

FIG 1

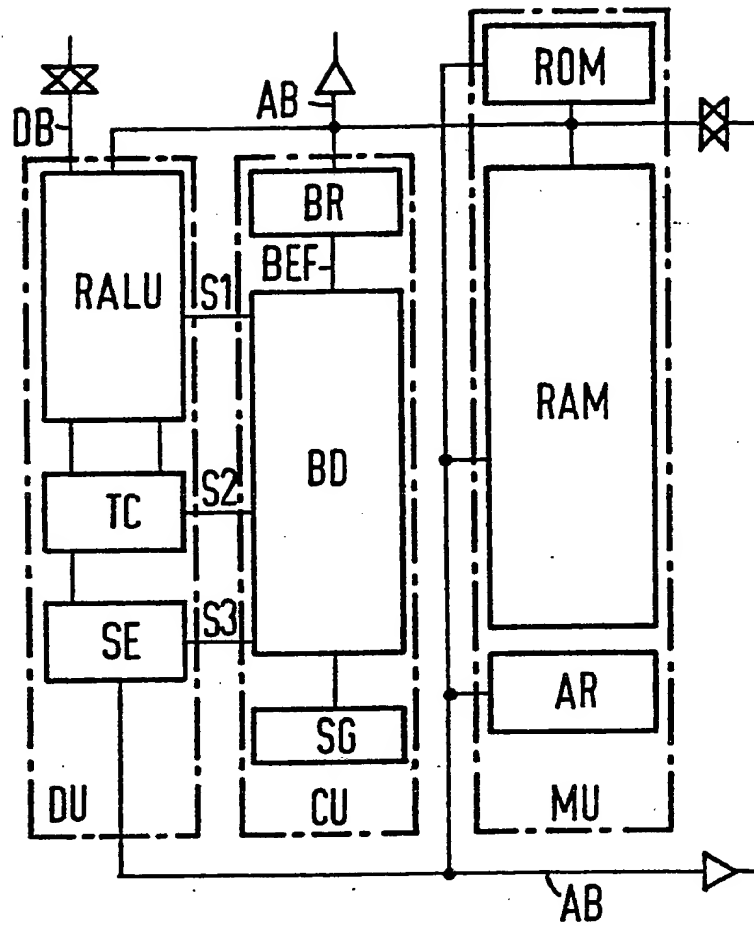
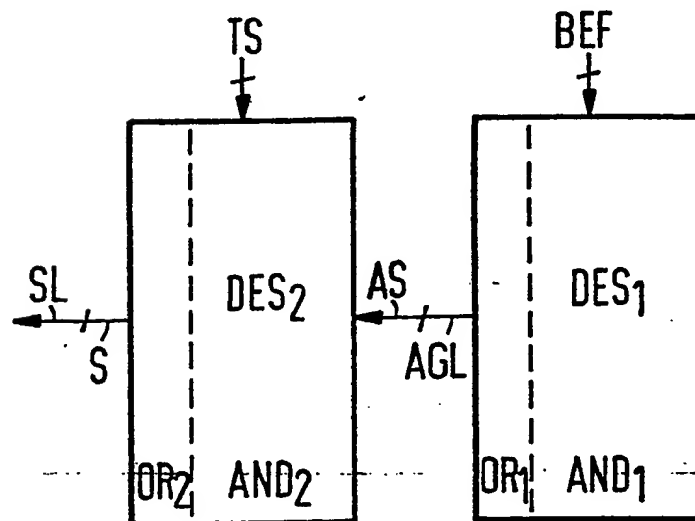
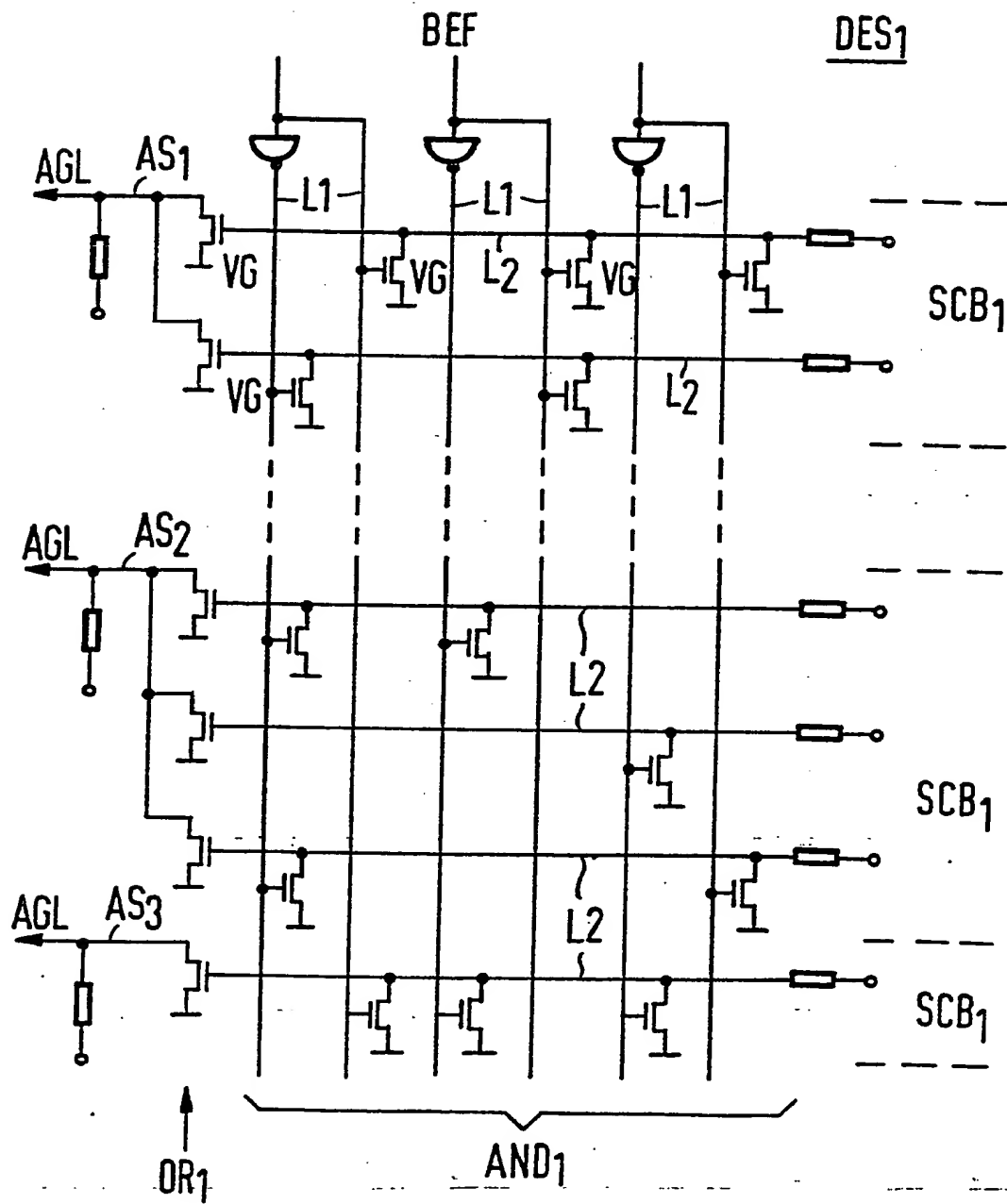


FIG 2



2/3

FIG 3



3/3

FIG 4

